

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-006493

(43)Date of publication of application : 13.01.1987

(51)Int.Cl.

G11C 17/00

(21)Application number : 60-143017

(71)Applicant : RICOH CO LTD

(22)Date of filing : 29.06.1985

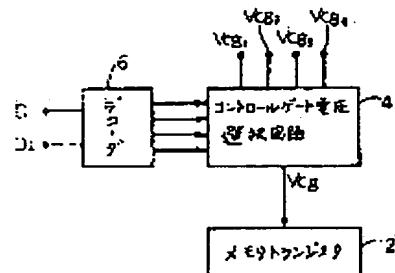
(72)Inventor : KAMINO SATOSHI

(54) WRITABLE/READABLE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To improve the integrated degree of a memory device by selecting one writing voltage level from plural kinds of writing voltage levels corresponding to plural kinds of information and applying the selected voltage to a memory transistor (TR).

CONSTITUTION: One voltage level is selected from a control gate voltage selecting circuit 4 on the basis of an output signal from a decoder 6 and applied to the memory TR as its control gate voltage. The circuit is constituted so that one writing voltage level is selected from plural kinds of writing voltage levels corresponding to the plural kinds of information by the circuit 4 and the decoder 6 and is applied to the memory (TR) 2. The stored information can be read out by a reading circuit similar to that to be used when information consisting of plural bits is stored in one memory TR of a mask ROM.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭62-6493

⑫ Int. Cl. 1
 G 11 C 17/00

識別記号 101 廣内整理番号 6549-5B

⑬ 公開 昭和62年(1987)1月13日

審査請求 未請求 発明の数 1 (全 4 頁)

⑭ 発明の名称 書込みと消去可能な半導体メモリ装置

⑮ 特願 昭60-143017

⑯ 出願 昭60(1985)6月29日

⑰ 発明者 神 基 聰 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番5号

⑲ 代理人 弁理士 野口繁雄

明細書

1. 発明の名称

書込みと消去可能な半導体メモリ装置

2. 特許請求の範囲

(1) 書込みと消去可能なメモリトランジスタを備えた半導体メモリ装置において、

書込み回路には複数の情報に対応して複数種類の書込み電圧レベルから1箇の非込み電圧レベルを選択してメモリトランジスタに接続する回路を備え、

読み出し回路にはメモリトランジスタからの出力を複数の基準レベルと比較する比較回路及びその比較回路の出力を基にしてメモリトランジスタの記憶情報を判定する回路を備えることにより、1メモリトランジスタに複数ビット分の情報を記憶させることを特徴とする書込みと消去可能な半導体メモリ装置。

(2) 前記基準レベルは情報記憶用のメモリトランジスタと同一の電圧を有する回路

ンジスタと回路のメモリトランジスタに情報記憶と同時に記憶されたものである特許請求の範囲第1項に記載の書込みと消去可能な半導体メモリ装置。

3. 発明の詳細な説明

(技術分野)

本発明はEEPROMやEEPROMをメモリトランジスタとする書込みと消去可能な半導体メモリ装置に関するものである。

(従来技術)

EEPROMやEEPROMをメモリトランジスタとする場合、通常は1個のメモリトランジスタに対して1ビットの情報を記憶させている。そのため、大容量の半導体メモリ装置を形成しようとするとメモリチップが大きくなる問題がある。

一方、マスクROMの分野においては、イオン注入法によりメモリトランジスタのしきい圧を複数レベルに割り当てる。1個のメモリトランジスタに

特開昭62-6403 (2)

複数ビット分の情報を記憶させるようにしたものが知られている。しかし、EEPROMやEEPROMの書き込みのメカニズムはマスクROMの場合とは全く異なり、EEPROMやEEPROMの書き込み情報を複数レベルに制御することは行なわれていない。

(目的)

本発明はEEPROMやEEPROMをメモリトランジスタとするメモリ装置において、1個のメモリトランジスタに複数ビット分の情報を記憶させることによりメモリ装置の集成度を向上させることを目的とするものである。

(構成)

本発明の半導体メモリ装置は、書き込みと消去が可能なメモリトランジスタを備え、その書き込み回路には複数の情報に対応して複数種類の書き込み電圧レベルから1個の書き込み電圧レベルを選択してメモリトランジスタに印加する回路を備え、その

読み出し回路にはメモリトランジスタからの出力を複数の基準レベルと比較する比較回路及びその比較回路の出力を基にしてメモリトランジスタの記憶情報を判定する回路を備えることにより、1メモリトランジスタに複数ビット分の情報を記憶させるようにしたものである。

EEPROMとしては例えばPAMOS型のものを使用することができる。EEPROMとしては例えばPAMOS型やMNOS型のものを使用することができる。

EEPROMやEEPROMの書き込み特性は書き込み時の書き込み電圧（コントロールゲート電圧やドレイン電圧）に依存する。そこで、書き込み電圧を変化させ、1メモリトランジスタに複数ビット分の情報を記憶させることができる。

以下、実施例について具体的に説明する。

一例として1個のメモリトランジスタに2ビット分の情報を書き込む場合について説明する。

複数種類の書き込み電圧レベルから1個の書き込み電圧レベルを選択してメモリトランジスタに印加する回路を構成する。

2ビットのデジタル情報D₁、D₀に対して、例えば下表のようにコントロールゲート電圧が選択されるものとする。

情報		コントロールゲート電圧
D ₁	D ₀	
0	0	V _{cg1}
0	1	V _{cg2}
1	0	V _{cg3}
1	1	V _{cg4}

このようにして記憶された情報の読み出しは、マスクROMにおいて1個のメモリトランジスタに複数ビット分の情報を記憶させた場合と同様の読み出し回路により読み出すことができる。すなわち、4種類のコントロールゲート電圧V_{cg1}、V_{cg2}、V_{cg3}、V_{cg4}により記憶された4種類の書き込み

特開昭62-6493 (3)

値 V_{lb1} , V_{lb2} , V_{lb3} , V_{lb4} に対し、それぞれの中間値 V_{r1} , V_{r2} , V_{r3} を基準しきい値電圧として設定し、比較することによりメモリトランジスタの記憶しきい値を読み分けることができる（第3回参照）。

E.PROMやEEPROMの場合、マスクROMと異なり、確かではあるが書き込み情報の保持特性として書き込みレベルの経時変化がある。そこで、読み出し回路として第4回の回路を使用する。

第4回において、8-1, 8-2, 8-3は基準しきい値電圧 V_{r1} , V_{r2} , V_{r3} を記憶する基準トランジスタであり、メモリトランジスタ2と同種のE.PROMやEEPROMを使用する。選択されたメモリトランジスタ2と基準トランジスタ8-1, 8-2, 8-3には非線の読み出し電圧が印加される。

10-1, 10-2, 10-3は比較回路であり、比較回路10-1はメモリトランジスタ2の出力電流と基準トランジスタ8-1の出力電流とを入力し、比較回路10-2はメモリトランジ

タ2の出力電流と基準トランジスタ8-2の出力電流とを入力し、比較回路10-3はメモリトランジスタ3の出力電流と基準トランジスタ8-3の出力電流とを入力し、それぞれ電圧に変換して比較する。

12は比較回路10-1, 10-2, 10-3の出力信号を入力し、2ビットのデジタル信号 D_1 , D_2 を出力するエンコーダである。エンコーダ12はメモリトランジスタの記憶情報を判定する回路に対応している。

基準トランジスタ8-1, 8-2, 8-3に基準しきい値電圧 V_{r1} , V_{r2} , V_{r3} を記憶するには、電圧 V_{r1} , V_{r2} , V_{r3} をウェハプロセス中に、又は回路により予め固定しておき、基準トランジスタ8-1, 8-2, 8-3のしきい値がそれぞれそれらの電圧 V_{r1} , V_{r2} , V_{r3} と同レベルになるまで書き込む。基準しきい値電圧の書き込みはメモリトランジスタ2に情報を書き込むときに同時に行なう。

本実施例によれば、メモリトランジスタ2とともに経時変化を起こす基準トランジスタ8-1, 8-2, 8-3に基準しきい値電圧 V_{r1} , V_{r2} , V_{r3} を記憶させているので、読み出し時の経時変化を吸収することができ、安定な読み出しを行なうことができる。

当施例では書き込み回路でデコード6を使用しているが、デコードに代えてマルチプレクサを使用することもできる。

（効果）

本発明によれば、1個のE.PROMやEEPROMのメモリトランジスタに複数ビット分の情報を記憶させることができるので、メモリ装置の性能が向上し、同一サイズのチップのメモリ容量を増大させることができる。

4. 図面の簡単な説明

第1回はE.PROMやEEPROMの書き込みコ

ントロールゲート電圧と書き込み後のしきい値との関係を示す図、第2回は一実施例における書き込み回路部を示すブロック図、第3回は書き込み後のしきい値と基準しきい値電圧との関係を示す図、第4回は一実施例における読み出し回路部を示すブロック図である。

2……メモリトランジスタ。

4……コントロールゲート電圧選択回路。

6……デコード。

8-1, 8-2, 8-3……基準トランジスタ。

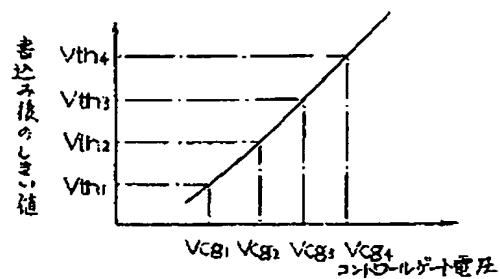
10-1, 10-2, 10-3……比較回路。

12……エンコーダ。

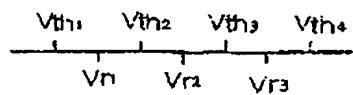
代理人 井澤士野口義雄

特開昭62-6493 (4)

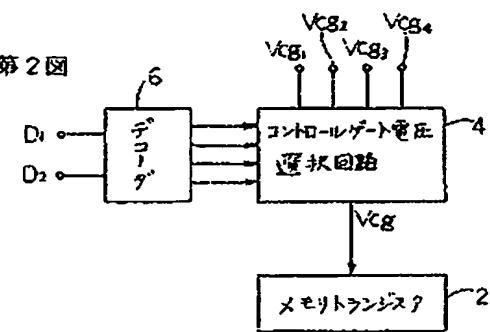
第1図



第3図



第2図



第4図

